

NEW PATENT APPLICATION CHECKLIST FOR MATTERS OF FORM

Examiner:

The items checked below have been noted in processing this application as filed.

After the typist has included these statements in the first Office action, please initial this form in the margin to the left of the appropriate paragraph. Please do NOT remove from the file jacket.

1. SPECIFICATION, JUMBO APPLICATION NOT CHECKED FOR MINOR ERRORS (If more than 20 pages of description, exclusive of claims.)

☐ Because of the lengthy specification in this application, it has not been checked to the extent necessary to determine the presence of all possible minor errors. Applicant's cooperation is therefore requested in promptly correcting any errors of which he may become aware in the specification or drawings.

2. RESIDENCE OMITTED (MPEP 605.02 and 603.03)

☐ Applicant's residence has been omitted from the papers. The city and state of his post-office address will be presumed to be the city and state of his residence. If the above is incorrect, applicant should submit a statement of his place of residence no later than at the time of payment of the issue fee.

3. PRIORITY PAPERS, ACKNOWLEDGMENT (MPEP 201.14(c))

☒ Receipt is acknowledged of papers submitted under 35 U.S.C. 119, which papers have been placed of record in the file.

4. PRIORITY PAPERS, ACKNOWLEDGMENT, PAPERS IN PARENT APPLICATION (MPEP 201.14(b))

☐ Applicant's claim for priority, based on papers filed in parent application Serial No. _____ submitted under 35 U.S.C. 119, is acknowledged.

5. PRIORITY, CLAIM FOR BUT NO PAPERS FILED (MPEP 201.14(c))

☐ Acknowledgment is made of applicant's claim for priority based on an application filed in _____ on _____. It is noted, however, that applicant has not filed a certified copy of said application as required by 35 U.S.C. 119.

6. PRIORITY PAPERS, MORE THAN ONE YEAR SINCE FILING IN FOREIGN COUNTRY (MPEP 201.14(c))

☐ Receipt is acknowledged of the filing on _____, of a certified copy of the _____ application referred to in the _____. * A claim for priority can not be based on said application, since the United States application was filed more than twelve months thereafter.

7. PRIORITY, REFERENCE IN OATH OR DECLARATION OMITTED (MPEP 201.14(c))

☐ Receipt is acknowledged of papers filed _____, based on an application filed in _____ on _____. Applicant has not complied with the requirements of Rule 65(a) since the _____ * does not acknowledge the filing of any foreign application. A new _____ * is required.

* INSERT EITHER "DECLARATION" OR "OATH" WHICHEVER IS APPLICABLE.

CLERK

DATE

10-24-00

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

500P09674500

Prints
Paper
02400

10784 U.S. PRO

09/641206



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 8月19日

出願番号
Application Number:

平成11年特許願第233259号

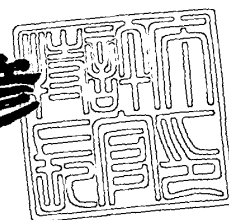
出願人
Applicant(s):

ソニー株式会社

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3052679

【書類名】 特許願

【整理番号】 9900484502

【提出日】 平成11年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/00

【発明の名称】 回路素子およびプリント配線板

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

 【氏名】 平林 崇之

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100090376

 【弁理士】

 【氏名又は名称】 山口 邦夫

 【電話番号】 03-3291-6251

【選任した代理人】

 【識別番号】 100095496

 【弁理士】

 【氏名又は名称】 佐々木 榮二

 【電話番号】 03-3291-6251

【手数料の表示】

 【予納台帳番号】 007548

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路素子およびプリント配線板

【特許請求の範囲】

【請求項 1】 誘電体基板の内層に導体パターンが形成され、前記誘電体基板の外層に接地導体が形成され、前記導体パターンによって周波数特性が設定される回路素子において、

前記接地導体の面積や位置を変更して所望の周波数特性を得ることを特徴とする回路素子。

【請求項 2】 前記接地導体に、面積や位置を変更可能とするパターンを形成した

ことを特徴とする請求項 1 記載の回路素子。

【請求項 3】 前記パターンは、前記誘電体基板の外層の一面あるいは複数面に形成した

ことを特徴とする請求項 2 記載の回路素子。

【請求項 4】 前記誘電体基板の外層の複数面に前記パターンを形成する際には、同じあるいは異なるパターンを形成した

ことを特徴とする請求項 3 記載の回路素子。

【請求項 5】 前記パターンは、前記接地導体を格子状とするパターンである

ことを特徴とする請求項 2 記載の回路素子。

【請求項 6】 前記パターンは、前記接地導体に矩形状の接地導体でない領域を 1 つあるいは複数形成するパターンである

ことを特徴とする請求項 2 記載の回路素子。

【請求項 7】 前記パターンは、前記接地導体よりも層厚が薄く、切断されたときに接地導体でない領域を形成するパターンである

ことを特徴とする請求項 2 記載の回路素子。

【請求項 8】 誘電体基板の第 1 の領域の内層に導体パターンを形成すると共に、前記誘電体基板の第 1 の領域の外層に接地導体を形成して、前記導体パターンによって周波数特性を設定すると共に、前記接地導体の面積や位置を変更し

て所望の周波数特性を得る回路素子部と、

前記誘電体基板の第 1 の領域とは異なる領域に、前記回路素子部によって所望の周波数特性とされた信号を処理する信号処理回路を搭載する回路実装部とを有する

ことを特徴とするプリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は回路素子およびプリント配線板に関する。詳しくは、誘電体基板の内層に導体パターンを形成し、誘電体基板の外層に接地導体を形成し、導体パターンによって設定される周波数特性が、所望の特性となるように接地導体の面積や位置を変更可能するものである。

【0002】

【従来技術】

近年、情報通信技術の進展に伴い、移動体通信機器や I S D N あるいはコンピュータ装置等の様々な機器に、無線あるいは有線で高速にデータ等を伝送するための回路ブロックが搭載されるようになっている。

【0003】

このような回路ブロックを機器に搭載する際には、高速にデータ等を伝送できるだけでなくノイズ等を考慮した構成が望まれる。さらに、携行可能な機器に搭載する場合にあっては、部品の小型化や複合化および多機能化等が図られている。例えば、無線 L A N (Local Area Network) や各種の通信端末装置など、マイクロ波帯、ミリ波帯をキャリアとした高周波アプリケーションにおいては、低域フィルタや高域フィルタ、帯域フィルタ、結合器等をコンデンサやコイル等のチップ部品を使用した集中定数回路で実現することは限界があり、マイクロストリップライン、ストリップライン等の分布定数回路を用いることが行われている。

【0004】

ここで、高性能な帯域フィルタとしては、 $\lambda/4$ (λ は波長) 程度の共振器導体パターンを結合させた結合器が用いられている。図 18 は、誘電体基板 200

の表面に共振器導体パターン 2 0 2 をカスケード状に隣接して並べてパターン側面で結合させると共に、隣接した共振器導体パターンが略 $\lambda/4$ の長さの重なり部分を有するように設けることで結合器を構成したものである。しかし、このように共振器導体パターンが略 $\lambda/4$ の長さの重なり部分を有するように並べるものでは、帯域フィルタを小型化することが困難である。このため、共振器導体パターンを基板の表面層ではなく内層に設ける、いわゆるトリプレート構造とすることで、小型化が図られている。図 1 9 は、トリプレート構造の帯域フィルタの分解斜視図を示しており、誘電体基板（絶縁基板）3 0 1 の両面に接地導体 3 0 2, 3 0 3 が形成されており、接地導体 3 0 2, 3 0 3 間には帯域フィルタを構成するための 2 つの共振器導体パターン 3 0 4 a, 3 0 4 b が並設される。この共振器導体パターン 3 0 4 a, 3 0 4 b は略 $\lambda/4$ の長さで重なり部分を有するように並設されていると共に、略 $\lambda/4$ の長さのパターンの一端は、接地導体 3 0 2 と短絡される。また、接地導体 3 0 2 と接地導体 3 0 3 が接続されることにより、共振器導体パターン 3 0 4 a, 3 0 4 b がシールドされる。

【0 0 0 5】

【発明が解決しようとする課題】

ところで、図 2 0 A に示すような分布定数回路によって帯域フィルタを構成した場合、通過帯域や遮断特性が誘電体基板 4 0 0 に形成された共振器導体パターン 4 0 1 a, 4 0 1 b 間や共振器導体パターン 4 0 1 a, 4 0 1 b と接地導体 4 0 2, 4 0 3 間の電磁界分布によって決定される。ここで、図 2 0 B に示す奇励振モードでは、共振器導体パターン 4 0 1 a, 4 0 1 b 間の距離 d に応じて奇励振モードの電界の強さが変わる。また、図 2 0 C に示す偶励振モードでは、共振器導体パターン 4 0 1 a, 4 0 1 b と接地導体 4 0 2, 4 0 3 間の距離、すなわち誘電体基板の厚さ K に応じて偶励振モードの電界の強さが変わる。また、共振器導体パターンのパターン幅によっても電界の強さが変わる。このように奇励振モード励振の電界や偶励振モードの電界の強さが変わると、共振器導体パターンの結合度が変化して通過帯域等の特性も変化する。このため、帯域フィルタを設計する際には、所望の特性を得ることができるよう共振器導体パターンや誘電体基板の厚さが決定される。

【 0 0 0 6 】

しかし、所望の特性が得られるように共振器導体パターンや誘電体基板の厚さを設計した場合であっても、製造工程のばらつき等によって所望の特性を得ることができない場合が生じてしまうことがあり、このような場合には、共振器導体パターンの位置や面積等を変える追加工処理を行って特性の調整が行われる。ところで、トリプレート構造の帯域フィルタでは、共振器導体パターンが接地導体間に設けられていることから、共振器導体パターンを追加工することができない。このため、共振器導体パターンの寸法や誘電体基板の厚み、誘電率等を厳格にコントロールする必要がある、歩留まり低下やコストアップを招いてしまう。

【 0 0 0 7 】

そこで、この発明では、小型化・薄型化を図りながらコストアップを招くことなく所望の周波数特性を得ることができる回路素子とプリント配線板を提供するものである。

【 0 0 0 8 】

【課題を解決するための手段】

この発明に係る回路素子は、誘電体基板の内層に導体パターンが形成され、前記誘電体基板の外層に接地導体が形成され、前記導体パターンによって周波数特性が設定される回路素子であって、接地導体の面積や位置を変更して所望の周波数特性を得るものである。

【 0 0 0 9 】

またプリント配線板は、誘電体基板の第 1 の領域の内層に導体パターンを形成すると共に、誘電体基板の第 1 の領域の外層に接地導体を形成して、導体パターンによって周波数特性を設定すると共に、接地導体の面積や位置を変更して所望の周波数特性を得る回路素子部と、誘電体基板の第 1 の領域とは異なる領域に、回路素子部によって所望の周波数特性とされた信号を処理する信号処理回路を搭載する回路実装部とを有するものである。

【 0 0 1 0 】

この発明においては、誘電体基板の内層に例えば分布定数回路素子の動作を設定するための導体パターンが形成されると共に、誘電体基板の外層の一面あるい

は複数面には面積や位置を容易に変更できるように、格子状の接地導体あるいは接地導体に矩形状の接地導体でない領域が 1 つあるいは複数形成するパターン等が形成される。

【0 0 1 1】

【発明の実施の形態】

以下、この発明の実施の一形態について図を参照しながら詳細に説明する。回路素子の素子動作を決定する導体パターンが基板内に設けられると共に、誘電体基板の外層に接地導体が設けられている回路素子、例えばトリプレート構造の分布定数回路素子 1 0 では、誘電体基板 1 1 の外層の接地導体 1 2 に、接地導体の面積や位置を変更できるものとするため、図 1 に示すように接地導体 1 2 を格子状とするパターンが形成される。なお、接地導体 1 2 は反対面側の接地導体（図示せず）と層間バイアホール 1 3 で接続される。このため、誘電体基板内の素子動作を決定する導体パターンは接地導体と層間バイアホールでシールドされることとなる。

【0 0 1 2】

ここで、外層の接地導体 1 2 にパターンが形成されて接地導体のない領域 1 5 が設けられると、図 2 A に示す奇励振モードや図 2 B に示す偶励振モードにおいて、素子動作を決定する導体パターン 1 7 間や導体パターンの接地導体との電磁界分布が変化して周波数特性が可変される。このため、接地導体の面積や位置を変更させる、すなわち、接地導体のない領域 1 5 に導電性部材を設けると共に、導電性部材を設ける位置や数を変更したり、接地導体のない領域間の接地導体を切削することで、トリプレート構造の分布定数回路素子の周波数特性を所望の周波数特性となるように調整することができる。

【0 0 1 3】

図 3 は、トリプレート構造の例えば帯域フィルタ 2 0 の構成を示している。なお、帯域フィルタ 2 0 は、隣接した共振器導体パターンの重なり部分の長さを略 $\lambda/4$ よりも短くできるインピーダンスステップ型の帯域フィルタを示している。

【 0 0 1 4 】

図 3 において、図 3 A は分解斜視図、図 3 B は平面図、図 3 C は図 3 B に示す I - I' 線での断面概略図である。図 3 に示すように帯域フィルタ 2 0 は誘電体基板（絶縁基板）2 1 の両面に接地導体 2 2 a, 2 2 b が形成されており、接地導体 2 2 a, 2 2 b 間には帯域フィルタを構成するための 2 つの共振器導体パターン 2 3 a, 2 3 b が並設される。この共振器導体パターン 2 3 a, 2 3 b の一端は、例えば層間バイアホール 2 4 によって接地導体 2 2 a, 2 2 b と短絡される。また、共振器導体パターン 2 3 a, 2 3 b の他端側（開放側）はパターン幅を広くすることにより、短絡側の特性インピーダンスを大きくすると共に、開放側の特性インピーダンスを小さくすることで、隣接した共振器導体パターンの重なり部分の長さを略 $\lambda/4$ よりも短くできるものである。

【 0 0 1 5 】

接地導体 2 2 a と接地導体 2 2 b は、上述の層間バイアホール 2 4 で接続されると共に、層間バイアホール 2 4 が共振器導体パターン 2 3 a, 2 3 b の周囲に設けられることにより共振器導体パターン 2 3 a, 2 3 b がシールドされる。

【 0 0 1 6 】

ここで、例えば一方の接地導体 2 2 a には、共振器導体パターン 2 3 a, 2 3 b と略対向する位置に接地導体のない領域 2 5 が周囲に形成された導体層 2 6 が設けられるようにパターンを形成する。

【 0 0 1 7 】

図 4 は、帯域フィルタ 2 0 の周波数特性を示しており、接地導体のない領域 2 5 を設けて導体層 2 6 を形成した場合の周波数特性（図 4 の実線で示す）は、接地導体のない領域 2 5 を設けていない場合の周波数特性（図 4 の破線で示す）よりも、周波数帯域が広がる。

【 0 0 1 8 】

このため、周波数特性が所望の周波数帯域となるように共振器導体パターンや誘電体基板等を設定すると共に接地導体のない領域 2 5 を設けて導体層 2 6 を形成するものとし、周波数特性が所望の周波数帯域よりも広い場合には、接地導体のない領域 2 5 に導電性部材、例えば銅箔や導電ペーストあるいは半田等を設け

ることで周波数帯域を狭くして、所望の周波数特性の帯域フィルタを得ることができる。また、周波数特性が所望の周波数帯域よりも狭い場合には、接地導体 22a を切削加工することで周波数帯域を広くして、所望の周波数特性の帯域フィルタを得ることができる。

【0019】

次に、誘電体基板の外層に接地導体のない領域を形成して接地導体の面積や位置を変更させる方法として、図 5A に示すように、矩形状の接地導体でない領域 35 を、共振器導体パターンおよび共振器導体パターン間上に相当する位置に複数跨設するパターンを接地導体 32 に形成して帯域フィルタ 30 を構成するものとしても良い。この場合には、図 5B に示すように、接地導体のない矩形状領域 35 に導電性部材 38 を設けることで、接地導体の面積や位置を変更することができる。

【0020】

図 6 は、帯域フィルタ 30 の周波数特性を示しており、共振器導体パターンの短絡側に位置する接地導体のない矩形状領域 35 に導電性部材 38 を設けた場合の周波数特性（図 6 の実線で示す）は、導電性部材を設けない場合の周波数特性（図 6 の破線で示す）よりも、高域側に周波数帯域が広がる。

【0021】

このため、接地導体のない矩形状領域 35 に導電性部材 38 を設けるものとして、この導電性部材 38 を設ける位置や数を変更し、あるいは接地導体を切削加工等することにより接地導体の面積や位置を変更させて、所望の周波数特性を得ることができる。例えば、周波数特性が所望の周波数帯域よりも高域側が狭い場合には、接地導体のない矩形状領域 35 に導電性部材 38 を設けて周波数帯域を高域側で狭くして、所望の周波数特性の帯域フィルタを得ることができる。また、周波数特性が所望の周波数帯域よりも高域側が広い場合には、例えば矩形状領域 35 の間の接地導体 32 を切削加工することにより周波数帯域を高域側に広くして、所望の周波数特性の帯域フィルタを得ることができる。

【0022】

また、図 5 に示す接地導体のない矩形状領域 35 の信号入出力方向の長さを図

7 Aに示すように長くして、接地導体のない矩形状領域 4 5 を設けて帯域フィルタ 4 0 を構成するものとしても良い。この場合、図 7 B に示すように、接地導体のない矩形状領域 4 5 のそれぞれの中央部分に導電性部材 4 8 を設けた場合の周波数特性は、導電性部材 4 8 を設けない場合の図 8 の破線で示す周波数特性よりも、図 8 の実線で示すように周波数帯域が大きく広がる。

【 0 0 2 3 】

このため、接地導体のない矩形状領域 4 5 の中央部分に導電性部材 4 8 を設けるものとしたり、導電性部材 4 8 を設ける位置を変更し、あるいは接地導体 4 2 を切削加工等することにより接地導体の面積や位置を変更させて、所望の周波数特性を得ることができる。例えば、周波数特性が所望の周波数帯域よりも狭い場合には、接地導体のない矩形状領域 4 5 に導電性部材 4 8 を設けることにより周波数帯域を広くして、所望の周波数特性の帯域フィルタを得ることができる。また、周波数特性が所望の周波数帯域よりも広い場合には、接地導体 4 2 を切削加工することにより周波数帯域を狭くして、所望の周波数特性の帯域フィルタを得ることができる。

【 0 0 2 4 】

さらに、図 3 に示した帯域フィルタ 2 0 において、接地導体のない領域 2 5 を図 9 に示すように層厚の薄い導体層 2 7 とすれば、この導体層 2 7 を簡単に切削加工することができるので、接地導体の面積や位置を変更して容易に周波数特性の調整を行うことができる。

【 0 0 2 5 】

なお、上述の実施の形態では、片面の接地導体に接地導体のない領域を設けるものとしたが、他方の面にも同様に接地導体のない領域を設けるものとしてもよいことは勿論である。この場合、接地導体には、両面とも同じようにパターンを形成するものとしても良く、また異なるパターンを形成しても良い。

【 0 0 2 6 】

さらに、図 1 0 に示すように帯域フィルタが多層化構造とされている場合であっても上述の方法を用いて周波数特性を調整することができる。例えば図 1 0 A に示すように、共振器導体パターン 5 1 と外層の接地導体 5 2 間に、配線パター

ン層 5 3 等が設けられていても、外層に接地導体 5 2 のない領域 5 4 を形成することで、帯域フィルタの特性を可変することができる。ただし、この場合には共振器導体パターン 5 1 と接地導体 5 2 間に配線パターン層 5 3 等が設けられていることから、多層化されていない場合に比べて周波数特性の調整量は少なくなる。また図 1 0 B に示すように、2 つの帯域フィルタ 5 5 a, 5 5 b が外層の 1 つの接地導体 5 6 を共通化して積層構造とされているときには、それぞれの帯域フィルタの周波数特性に応じて対応する外層に接地導体のない領域 5 7 を設けて、接地導体の面積や位置を変更させることで所望の周波数特性となるように調整することができる。さらに、図 1 0 C に示すように、帯域フィルタを構成した基板の側面に接地導体 5 8 を設けると共に、この側面に接地導体のない領域 5 9 を設けて接地導体の面積や位置を変更すれば、この側面と共振器導体パターンとの距離が短い場合には周波数特性を可変することができる。

【 0 0 2 7 】

ところで、上述の実施の形態では、帯域フィルタとしての分布定数回路素子について説明したが、図 1 1 に示すように、分布定数回路素子 6 1 を構成する基板上に M M I C 等の信号処理回路 6 2 を実装可能とするプリント配線板 6 0 においても、信号処理回路 6 2 と接続バイアホール 6 3 を介して接続される分布定数回路素子 6 1 の動作を設定する導体パターンの位置等に応じて、外層の接地導体 6 4 にパターンを形成して接地導体の面積や位置を変更できるものとしても良い。

【 0 0 2 8 】

また、上述の実施の形態では、分布定数回路素子として共振器導体パターンを形成することにより帯域フィルタを構成するものとしたが、パターン形状を変更することで、低域フィルタや高域フィルタを構成するものとしても良い。

【 0 0 2 9 】

図 1 2 は低域フィルタ 7 0 の分解斜視図を示している。誘電体基板 7 1 の一方の面には、直列のインダクタンスを作るパターン 7 2 a と並列容量を作るパターン 7 2 b が直列に繰り返し並べて形成される。また、他方の面は接地導体 7 3 が形成される。このパターン 7 2 a, 7 2 b が形成された誘電体基板 7 1 に接地導体 7 6 が形成された誘電体基板 7 5 を貼り合わせることでトリプレート構造の低

域フィルタ 7 0 を形成できる。ここで、帯域フィルタと同様に、接地導体が形成されている面に、接地導体のない領域を形成して接地導体の面積や位置を変更することで所望の周波数特性を得ることができる。

【 0 0 3 0 】

図 1 3 は高域フィルタ 8 0 の分解斜視図を示している。誘電体基板 8 1 の一方の面には、並列のインダクタンスを作るパターン 8 2 a, 8 2 b が形成されると共に、他方の面には接地導体 8 3 が形成される。なお、パターン 8 2 a, 8 2 b の端部は接地導体 8 3 と短絡される。誘電体基板 8 5 の一方の面には、パターン 8 2 a, 8 2 b と対向して直列容量を作ると共に接地導体と接続されることにより並列のインダクタンスを作るパターン 8 6 a, 8 6 b, 8 6 c が形成される。また、信号の入出力側とされていない側面には接地導体 8 7 が形成される。さらに誘電体基板 8 8 の一方の面には接地導体 8 9 が形成される。

【 0 0 3 1 】

誘電体基板 8 1 のパターン 8 2 a, 8 2 b 面上には、誘電体基板 8 5 が貼り合わされると共に、誘電体基板 8 5 のパターン 8 6 面上には、誘電体基板 8 8 が貼り合わされる。誘電体基板 8 1 と誘電体基板 8 5 の貼り合わせでは、パターン 8 2 a, 8 2 b とパターン 8 6 a, 8 6 b が誘電体基板 8 5 を介在させて対向するように貼り合わされる。また、誘電体基板 8 5 と誘電体基板 8 8 の貼り合わせでは、パターン 8 6 と接地導体 8 9 が誘電体基板 8 8 を介在させて対向するように貼り合わされる。このように、誘電体基板 8 1, 8 5, 8 8 が貼り合わされると共に、接地導体 8 3, 8 7, 8 9 が接続されて、トリプレート構造の高域フィルタ 8 0 を構成することができる。この場合にも、帯域フィルタと同様に、接地導体 8 9 が形成されている面に、接地導体のない領域を形成して接地導体の面積や位置を変更することで所望の周波数特性を得ることができる。

【 0 0 3 2 】

さらに、回路素子は分布定数回路素子に限られるものではなく、結合器やアンテナの特性の調整、集中定数素子の層間容量結合の調整等においても、同様に接地導体の面積や位置を変更して所望の周波数特性を得ることができる。図 1 4 は直流分をカットするような結合器 9 0 の分解斜視図であり、誘電体基板 9 1 上に

形成された導体パターン 9 2 a と導体パターン 9 2 b が略 1 / 4 波長の重なり部分を有するものである。ここで、導体パターン 9 2 a, 9 2 b の外側に位置する接地導体 9 3 の面積や位置を容易に変更できるものとする事で所望の特性の結合器を容易に得ることができる。また、図 1 5 は方向性結合器 9 5 の分解斜視図であり、この場合にも同様に外側の接地導体 9 6 の面積や位置を変更できるものとする事で所望の特性の方向性結合器を容易に得ることができる。図 1 6 は平面アンテナを示す図である。電波の送受信を行うためのパッチ 1 0 1 には給電線 1 0 2 が接続されている。ここで、パッチ 1 0 1 が形成されている面に保護層 1 0 4 が設けられているときには、裏面側の接地導体 1 0 5 の面積や位置を変更できるものとする事で、所望の特性の平面アンテナ 1 0 0 を得ることができる。また図 1 7 は、導体パターンでコンデンサやコイルを設けて集中定数素子を形成する場合の分解斜視図を示しており、例えばコイル部分 1 1 0 と対向する接地導体 1 1 2 の面積や位置を変えることによりコイル部分 1 1 0 と接地導体 1 1 2 との容量を変化させることで所望の特性を得ることができる。

【 0 0 3 3 】

なお、図 1 1 ~ 図 1 7 では、接地導体が格子状となるようにパターンを形成したが、図 3 や図 5 あるいは図 7 等で示したように接地導体を形成しても良いことは勿論である。さらに、接地導体の面積や位置を容易に変更できるパターンであれば、上述の形状に限られるものでないことは勿論である。

【 0 0 3 4 】

【発明の効果】

この発明によれば、誘電体基板の内層に導体パターンが形成され、誘電体基板の外層に接地導体が形成され、接地導体の面積や位置を変更することで周波数特性が所望の特性とされる。このため、積層構造とされて内層の導体パターンの形状等を変更することができない場合であっても周波数特性を所望の特性とすることができる。また、材料精度や加工精度を厳格に管理していなくとも接地導体の面積や位置を変更することで、周波数特性を所望の特性に精度良く調整することができる。

【 0 0 3 5 】

また、接地導体に面積や位置を変更可能とするパターンが形成されているので、このパターンを利用することで周波数特性を簡単に所望の特性とすることができ、またパターンは、誘電体基板の外層の一面あるいは複数面に形成したり、外層の複数面にパターンを形成する際には、同じあるいは異なるパターンを形成することで、周波数特性の調整範囲を広げたり、調整精度を高めることができる。

【 0 0 3 6 】

さらに、誘電体基板の第 1 の領域の内層に導体パターンを形成すると共に、誘電体基板の第 1 の領域の外層に接地導体を形成して、導体パターンによって周波数特性を設定すると共に、接地導体の面積や位置を変更して所望の周波数特性を得る回路素子部と、誘電体基板の第 1 の領域とは異なる領域に、回路素子部によって所望の周波数特性とされた信号を処理する信号処理回路を搭載する回路実装部がプリント配線板に設けられることにより、回路素子部で得られた所望の周波数特性の信号を、短い信号伝送路で信号処理回路に供給することが可能となり、このプリント配線板を用いることでノイズの影響や信号伝送路の影響が少なく良好に信号を処理することができる。

【図面の簡単な説明】

【図 1】

分布定数回路素子を示す図である。

【図 2】

奇励振モードと偶励振モードでの動作を示す図である。

【図 3】

帯域フィルタ 2 0 の構成を示す図である。

【図 4】

帯域フィルタ 2 0 の周波数特性を示す図である。

【図 5】

帯域フィルタ 3 0 を示す図である。

【図 6】

帯域フィルタ 3 0 の周波数特性を示す図である。

【図 7】

帯域フィルタ 4 0 を示す図である。

【図 8】

帯域フィルタ 4 0 の周波数特性を示す図である。

【図 9】

帯域フィルタ 2 0 の他の構成を示す図である。

【図 1 0】

帯域フィルタが多層化構造とされている場合を示す図である。

【図 1 1】

プリント配線板を示す図である。

【図 1 2】

低域フィルタの構成を示す分解斜視図である。

【図 1 3】

高域フィルタの構成を示す分解斜視図である。

【図 1 4】

結合器の構成を示す分解斜視図である。

【図 1 5】

方向性結合器の構成を示す分解斜視図である。

【図 1 6】

平面アンテナの構成を示す図である。

【図 1 7】

集中定数回路素子の分解斜視図である。

【図 1 8】

従来の帯域フィルタの構成を示す図である。

【図 1 9】

従来のトリプレート構造の帯域フィルタの分解斜視図である。

【図 2 0】

従来の帯域フィルタにおける奇励振モードと偶励振モードでの動作を示す図である。

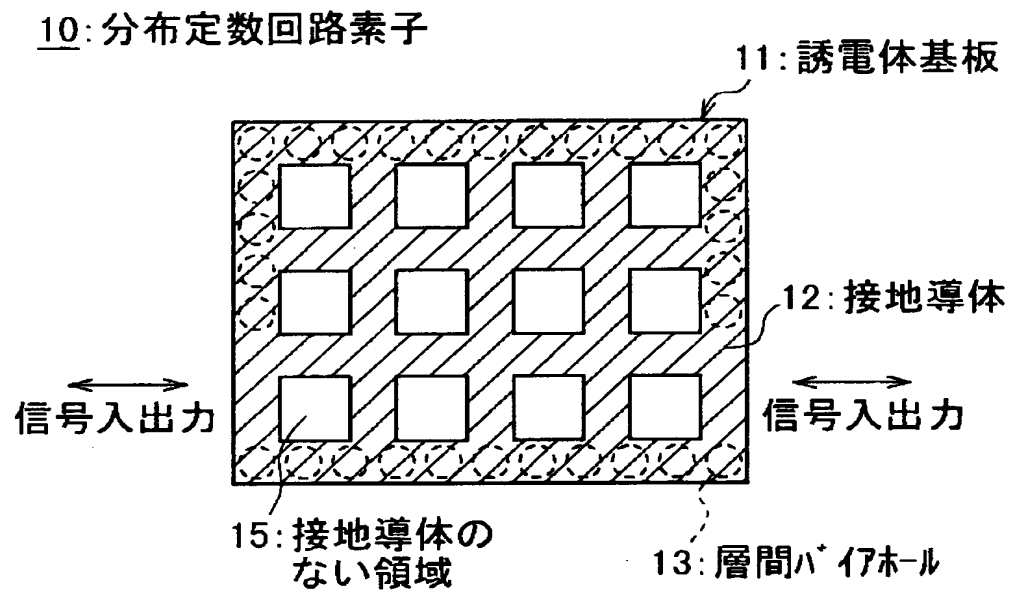
【符号の説明】

1 0, 6 0 . . . 分布定数回路素子、1 1, 7 1, 7 5, 8 1, 8 5, 8 8, 9 1, 2 0 0, 4 0 0 . . . 誘電体基板、1 2, 2 2 a, 2 2 b, 3 2, 4 2, 5 2, 5 6, 5 8, 6 4, 7 3, 7 6, 8 3, 8 7, 8 9, 9 3, 9 6, 1 0 5, 1 1 2, 3 0 2, 3 0 3, 4 0 2, 4 0 3 . . . 接地導体、1 3, 2 4 . . . 層間バイアホール、1 5, 2 5, 3 5, 4 5, 5 4, 5 7, 5 9 . . . 領域、1 7, 9 2 a, 9 3 b . . . 導体パターン、2 0, 3 0, 4 0, 5 5 a, 5 5 b . . . 帯域フィルタ、2 3 a, 2 3 b, 5 1, 2 0 2, 3 0 4 a, 3 0 4 b, 4 0 1 a, 4 0 1 b . . . 共振器導体パターン、2 6, 2 7 . . . 導体層、3 8, 4 8 . . . 導電性部材、5 3 . . . 配線パターン層、6 0 . . . プリント配線板、6 1 . . . 分布定数回路素子、6 2 . . . 信号処理回路、6 3 . . . 接続バイアホール、7 0 . . . 低域フィルタ、8 0 . . . 高域フィルタ、8 8 . . . 誘電体基板、9 0 . . . 結合器、9 5 . . . 方向性結合器、1 0 0 . . . 平面アンテナ、1 0 1 . . . パッチ、1 0 2 . . . 給電線、1 0 4 . . . 保護層

【書類名】 図面

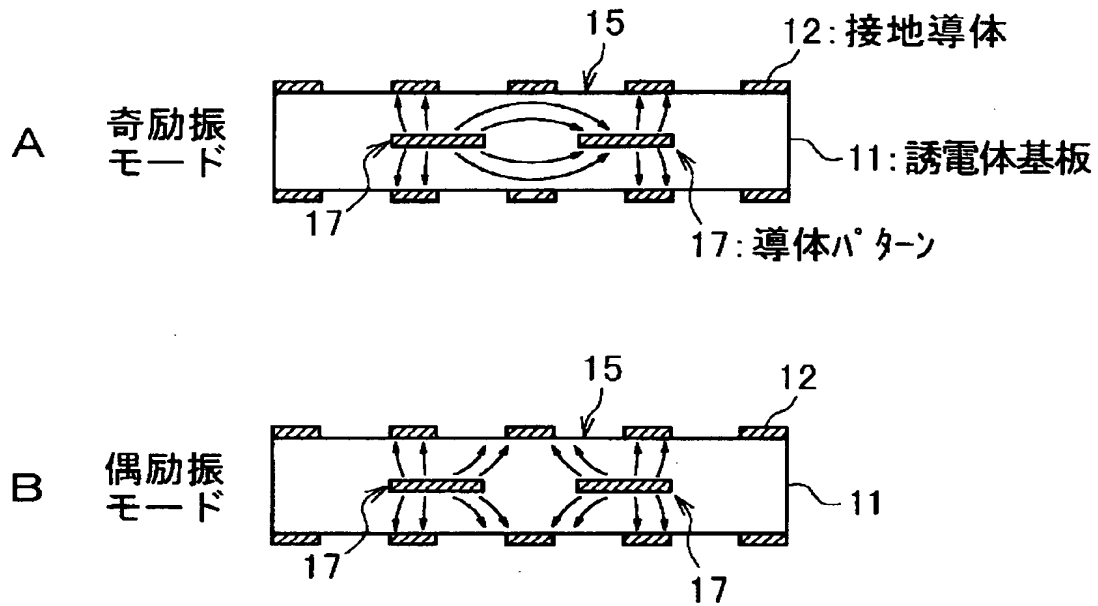
【図 1】

分布定数回路素子



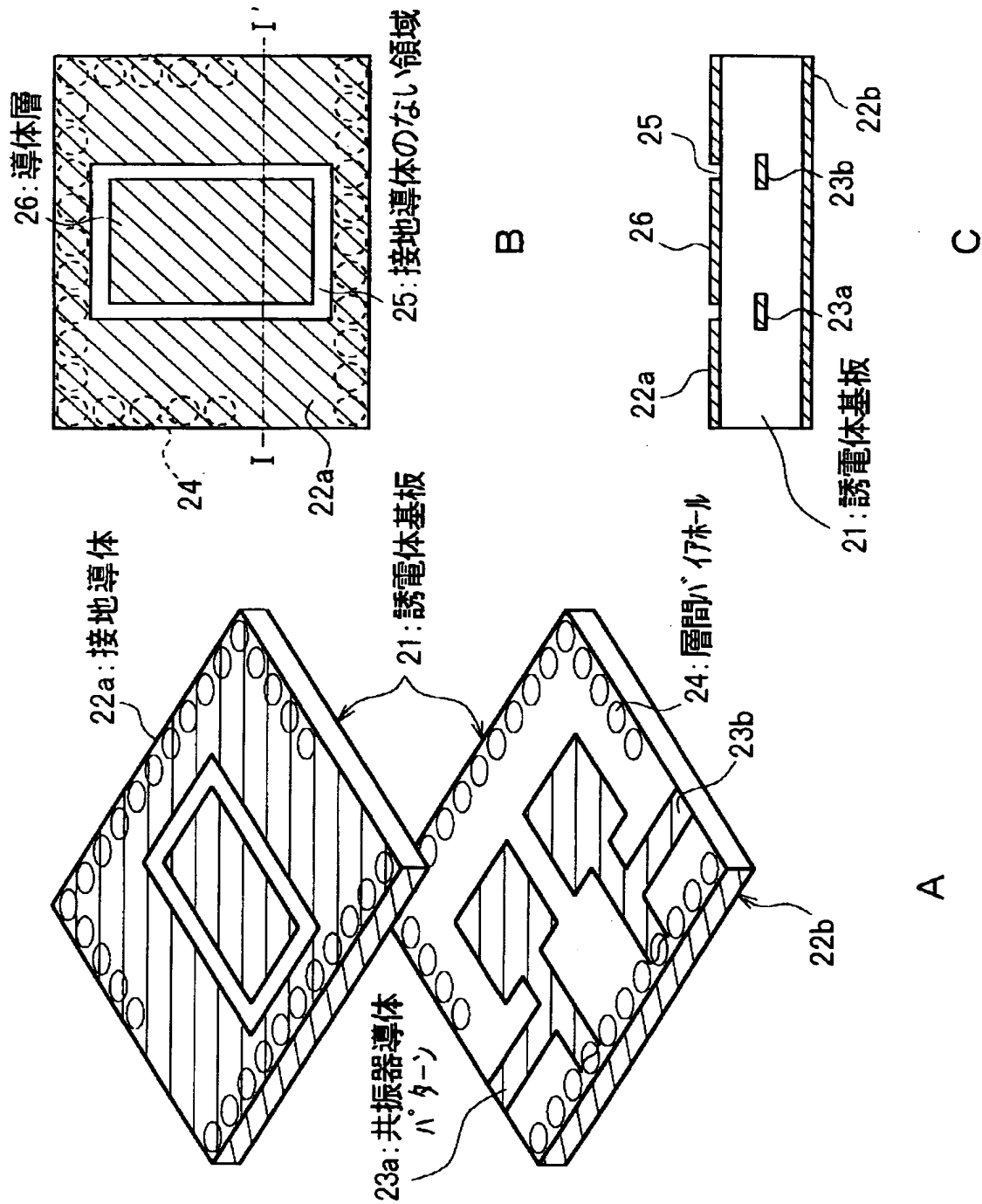
【図 2】

奇励振モードと偶励振モードでの動作



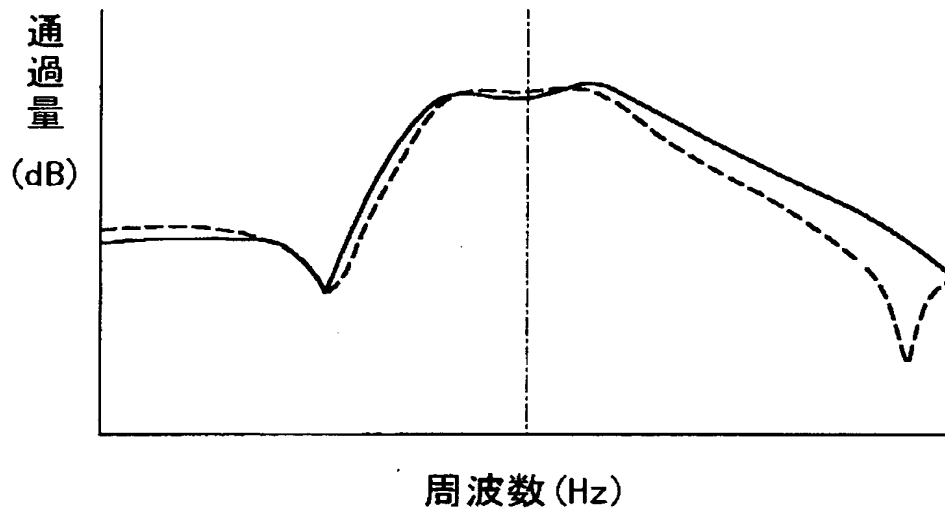
【図 3】

帯域フィルタ 20 の構成



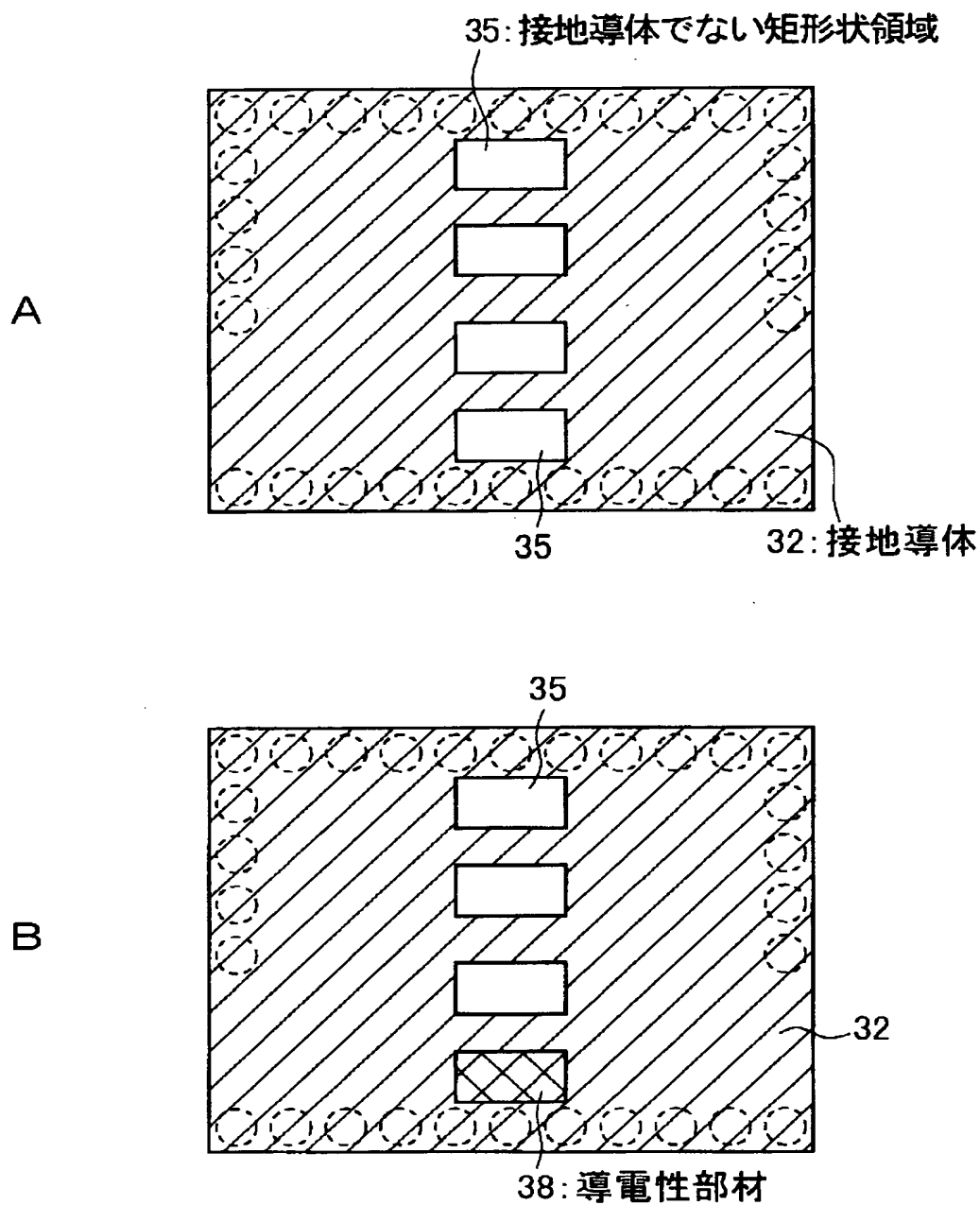
【図 4】

帯域フィルタ 2 0 の周波数特性



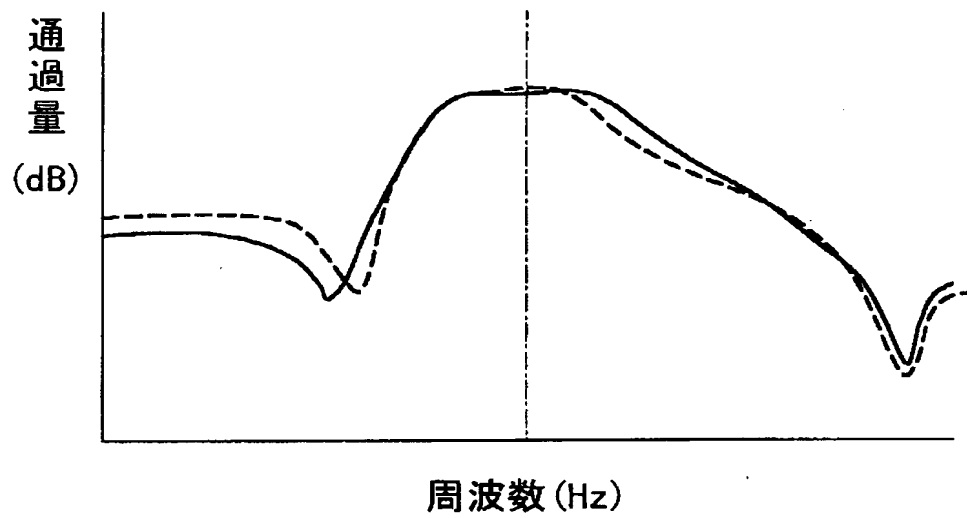
【図 5】

帯域フィルタ 3 0



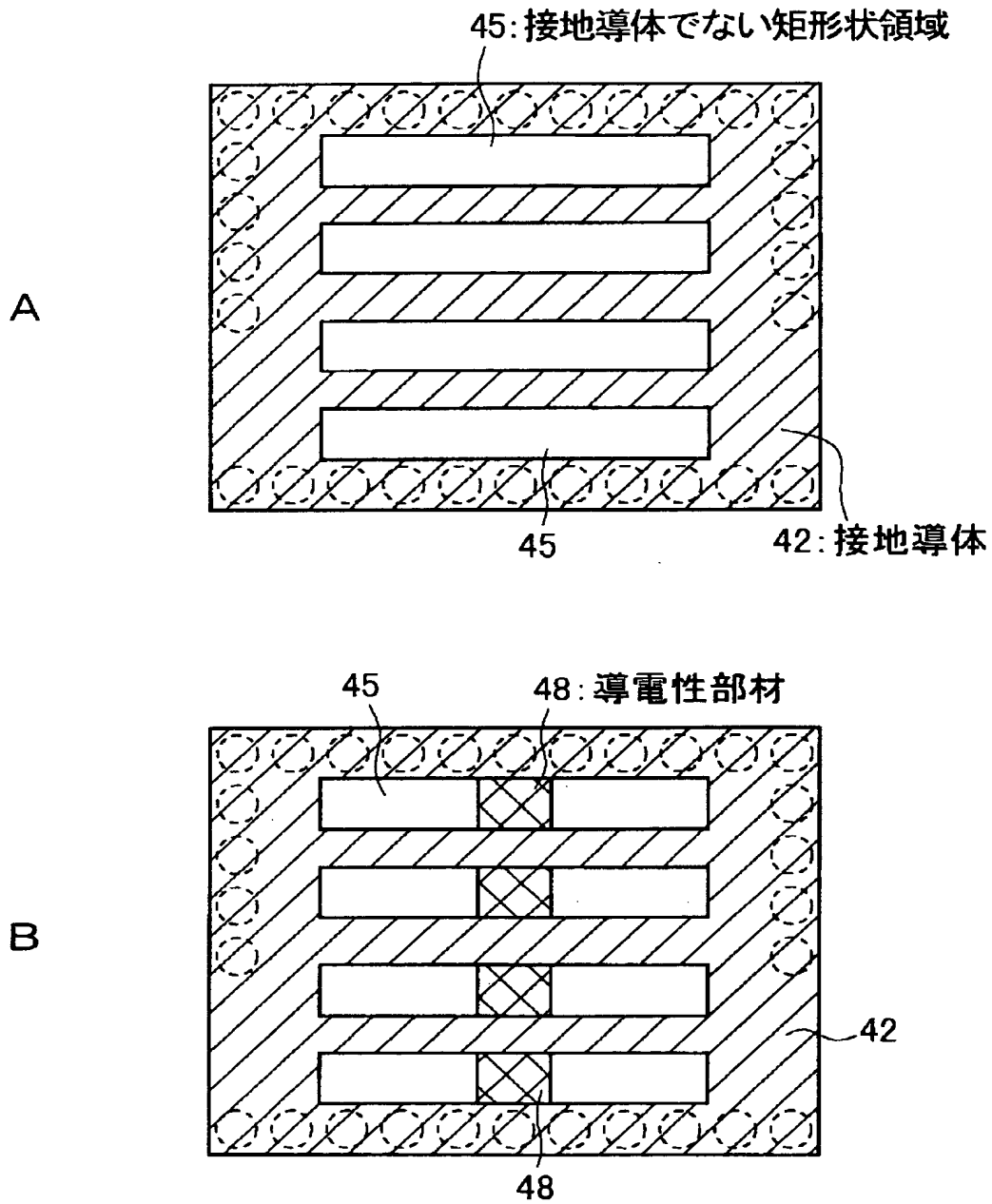
【図 6】

帯域フィルタ 3 0 の周波数特性



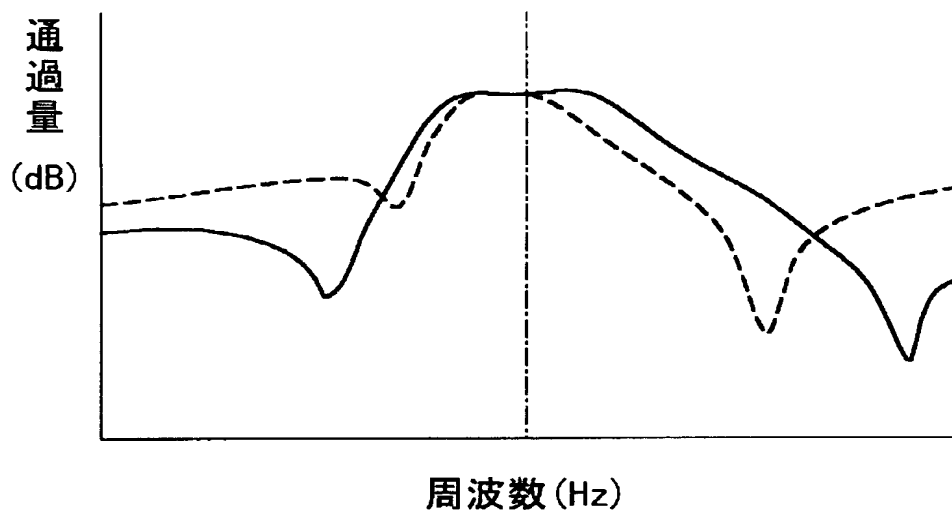
【図 7】

帯域フィルタ 4 0



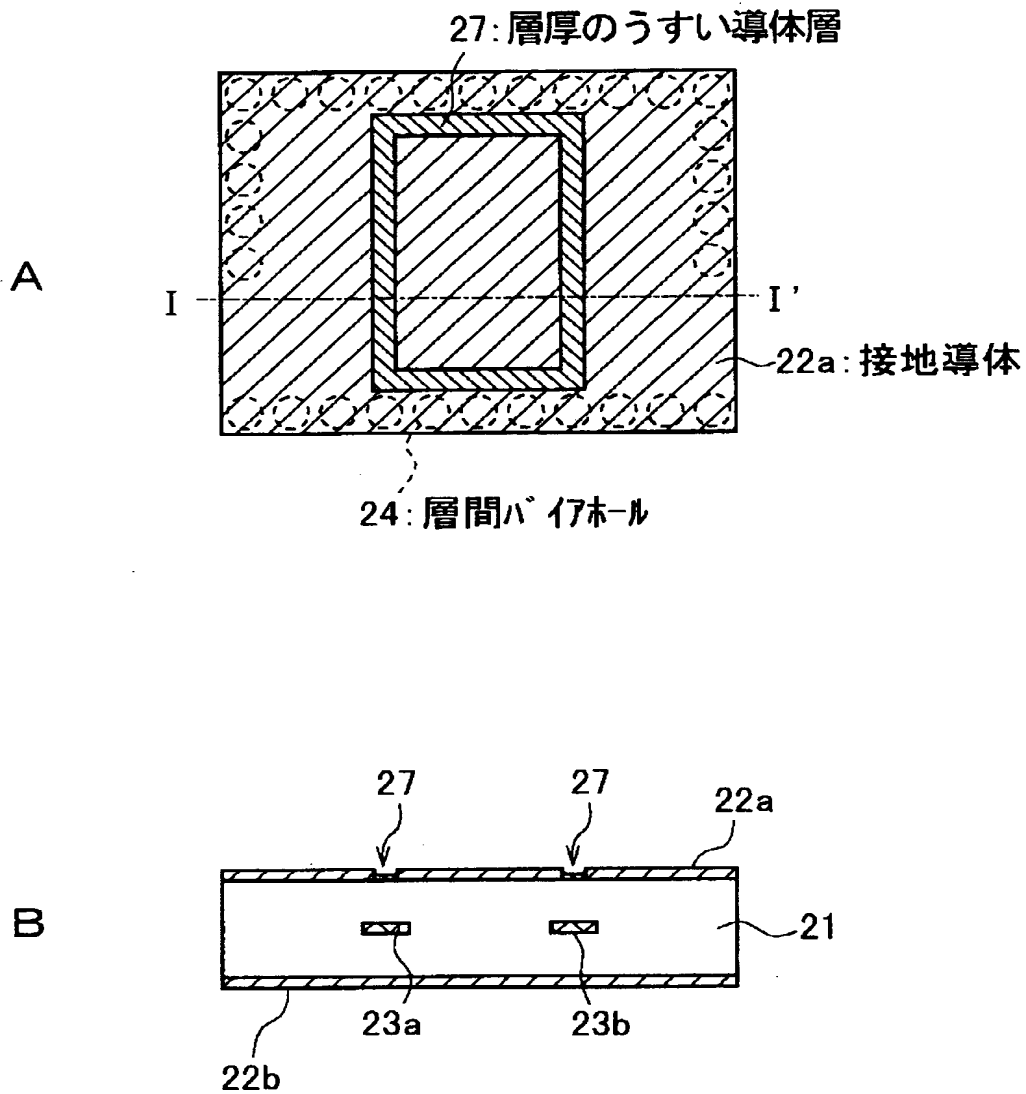
【図 8】

帯域フィルタ 4 0 の周波数特性



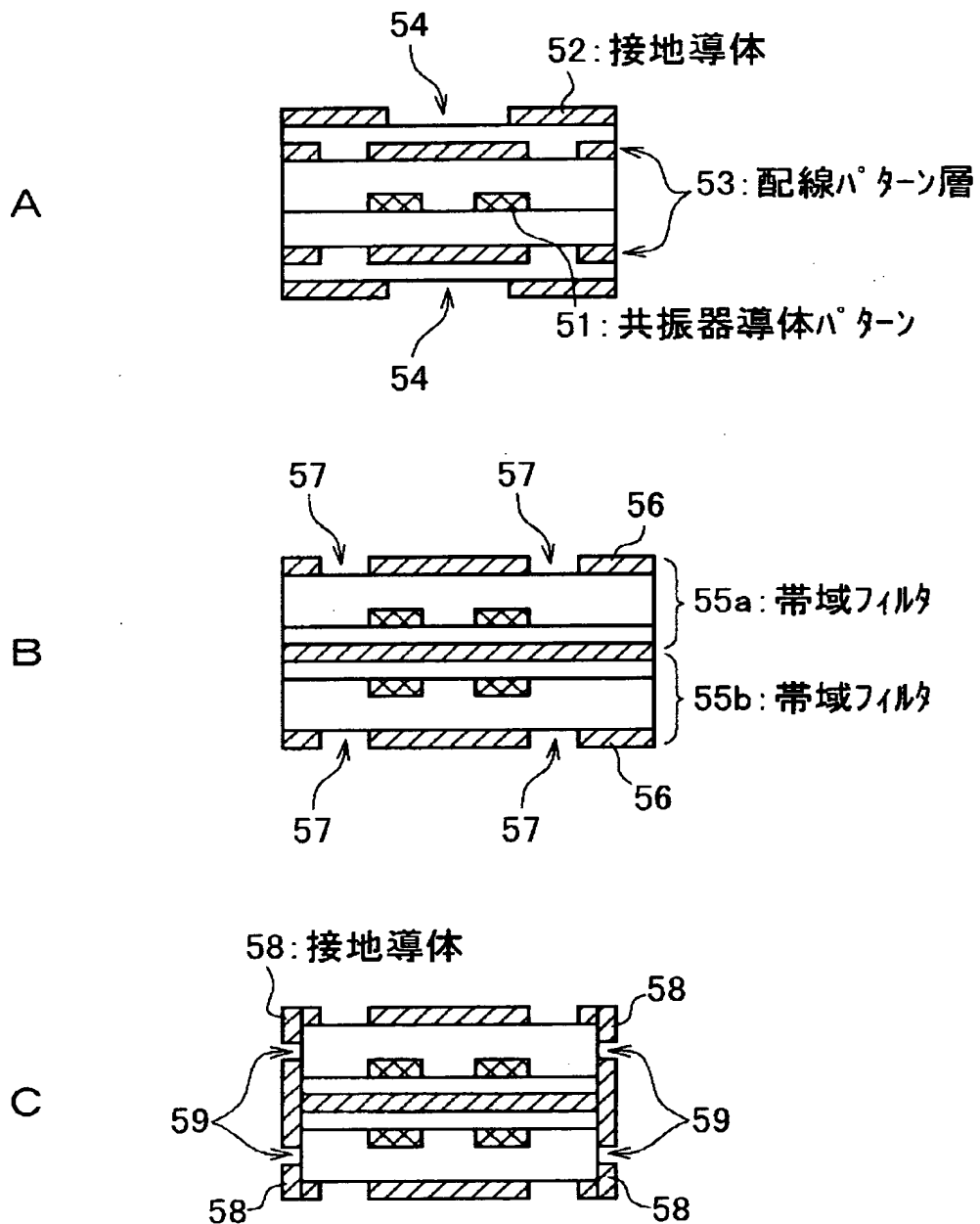
【図 9】

帯域フィルタ 2 0 の他の構成



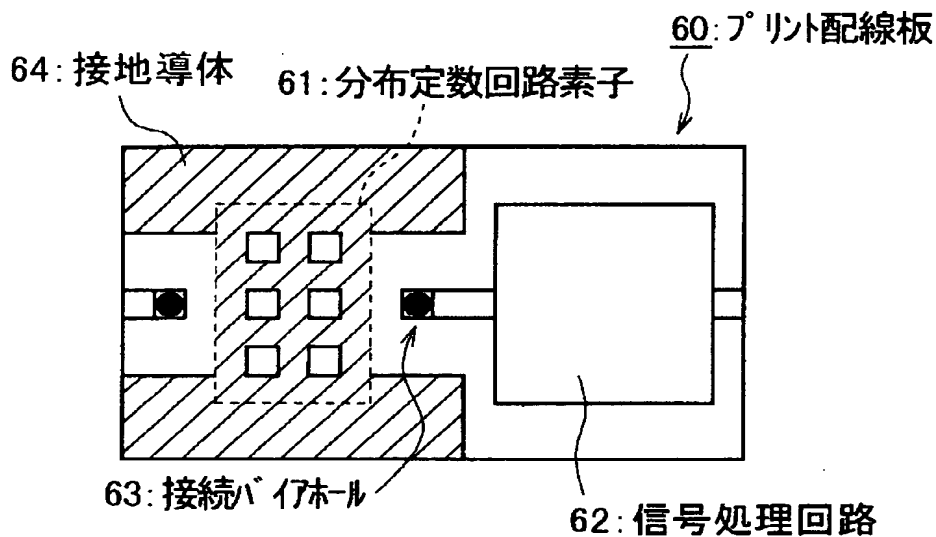
【図 1 0】

帯域フィルタが多層化構造とされている場合



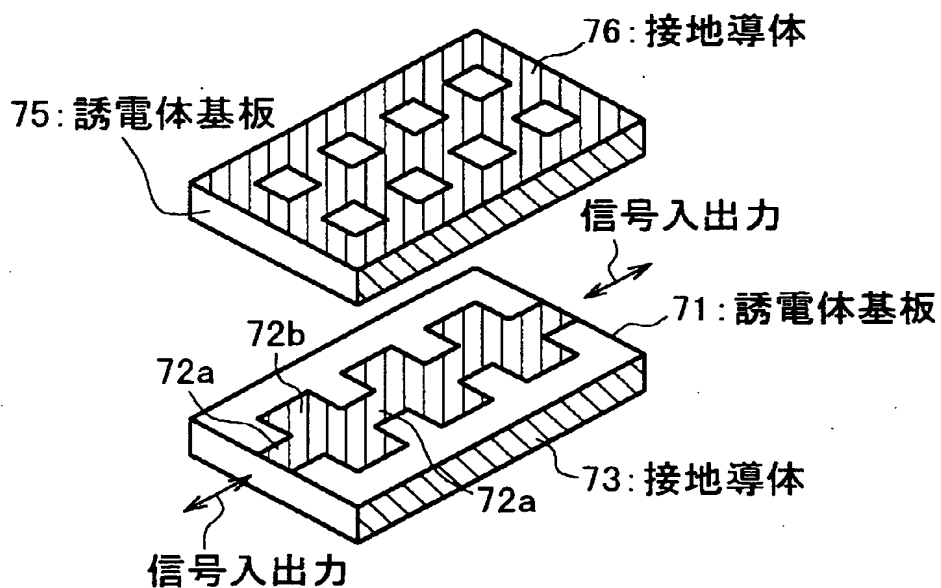
【図 1 1】

プリント配線板



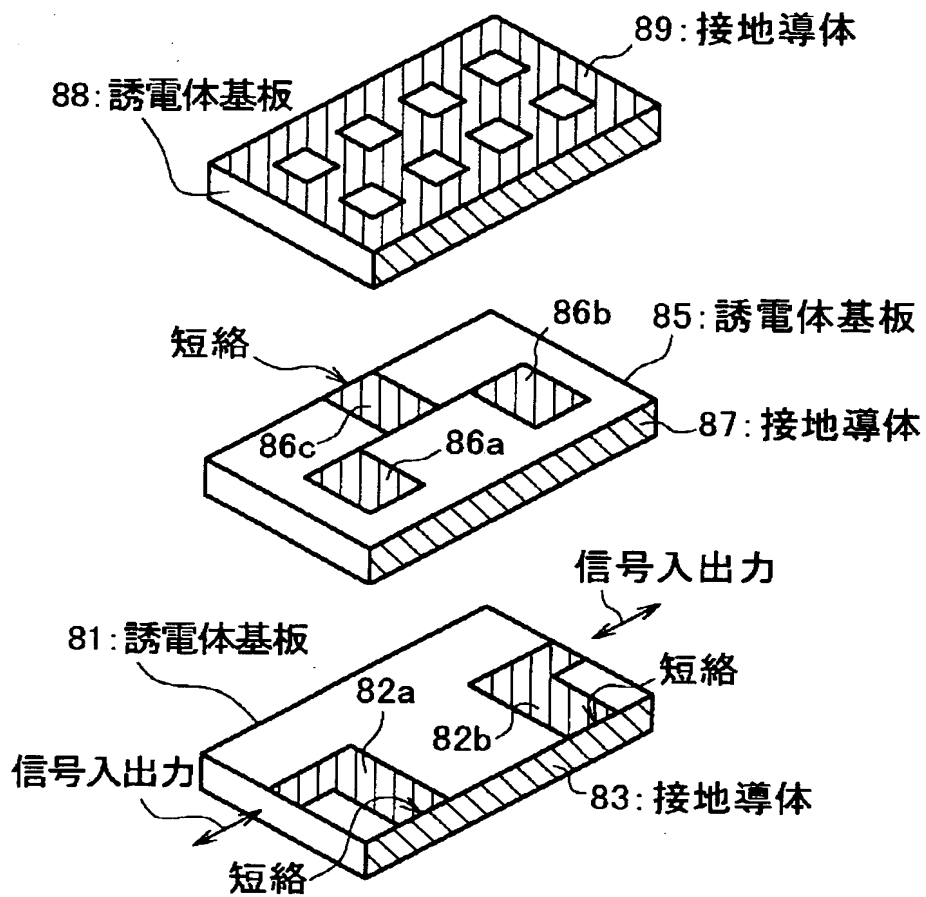
【図 1 2】

低域フィルタ



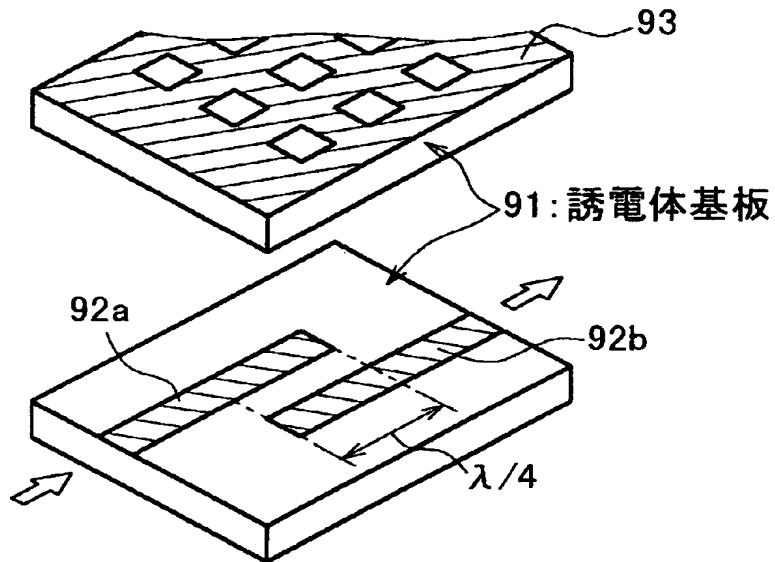
【図 1 3】

高域フィルタ



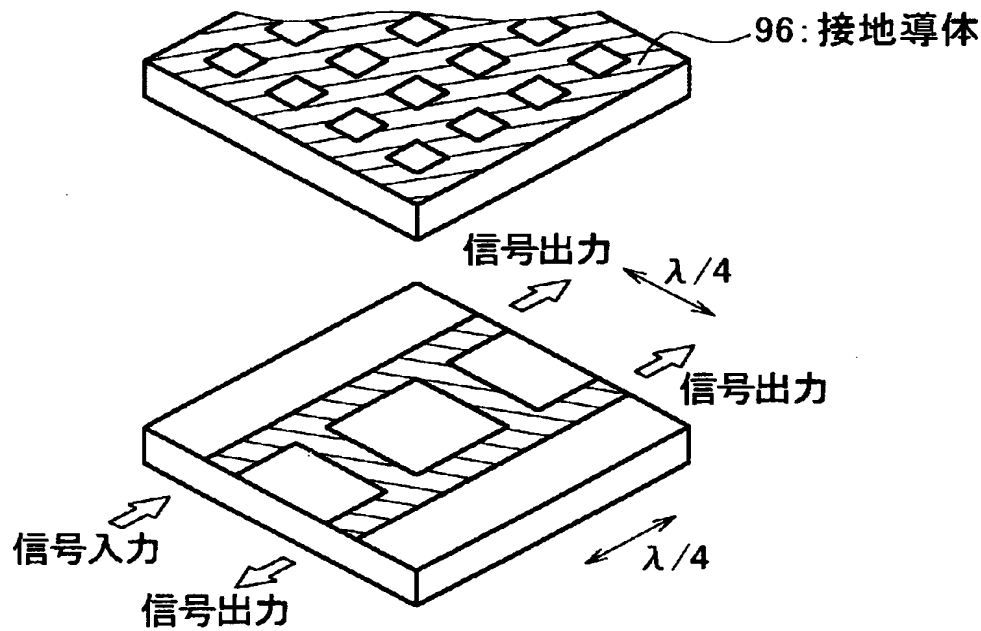
【図 1 4】

結合器



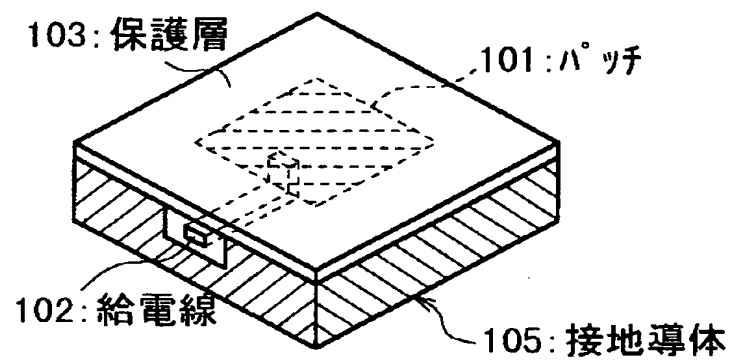
【図 1 5】

方向性結合器



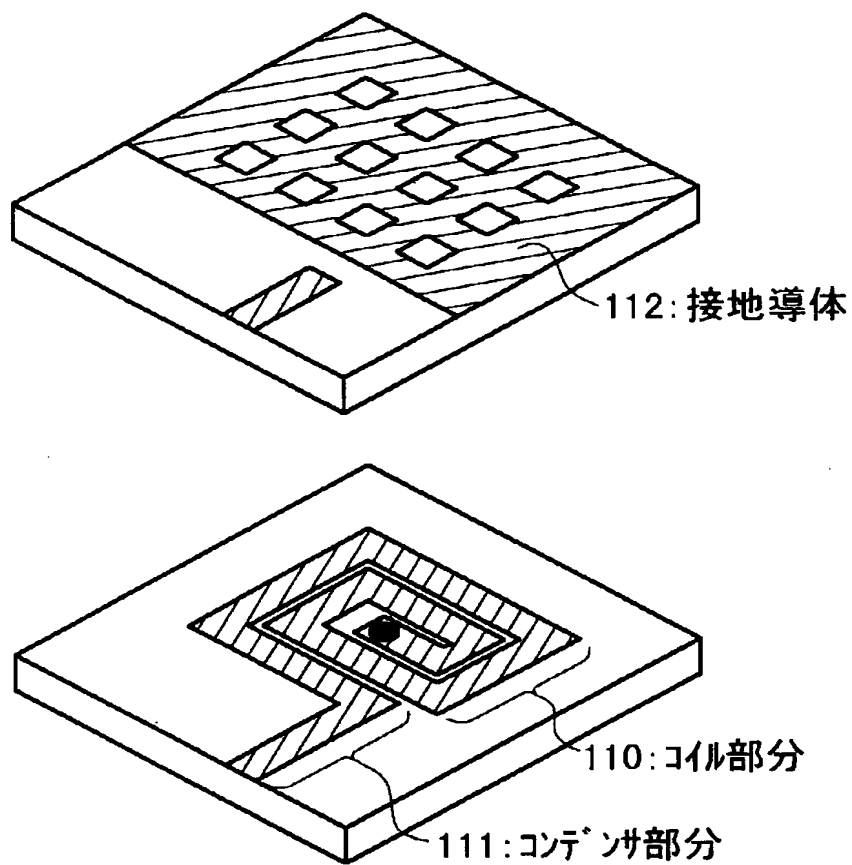
【図 1 6】

平面アンテナ



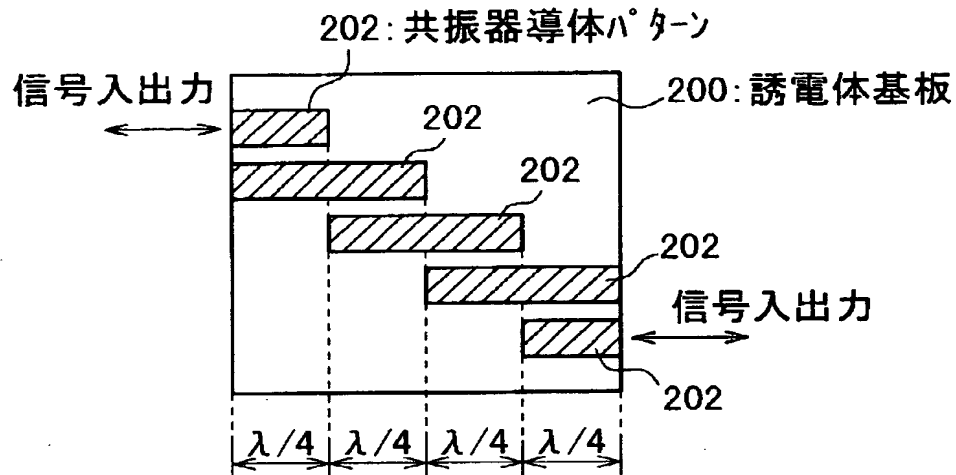
【図 1 7】

集中定数回路素子



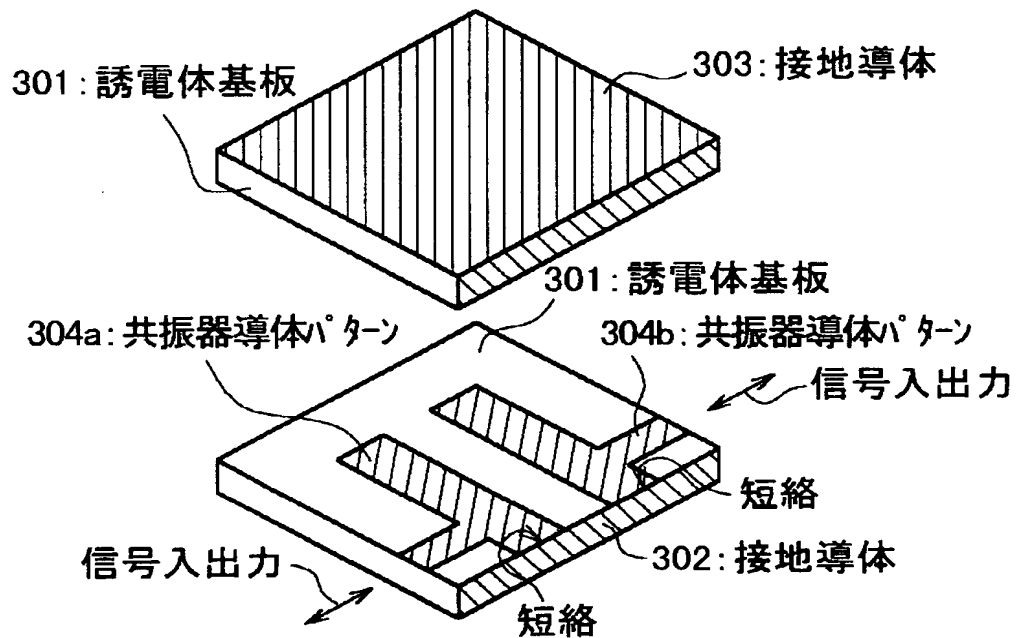
【図 1 8】

従来の帯域フィルタ



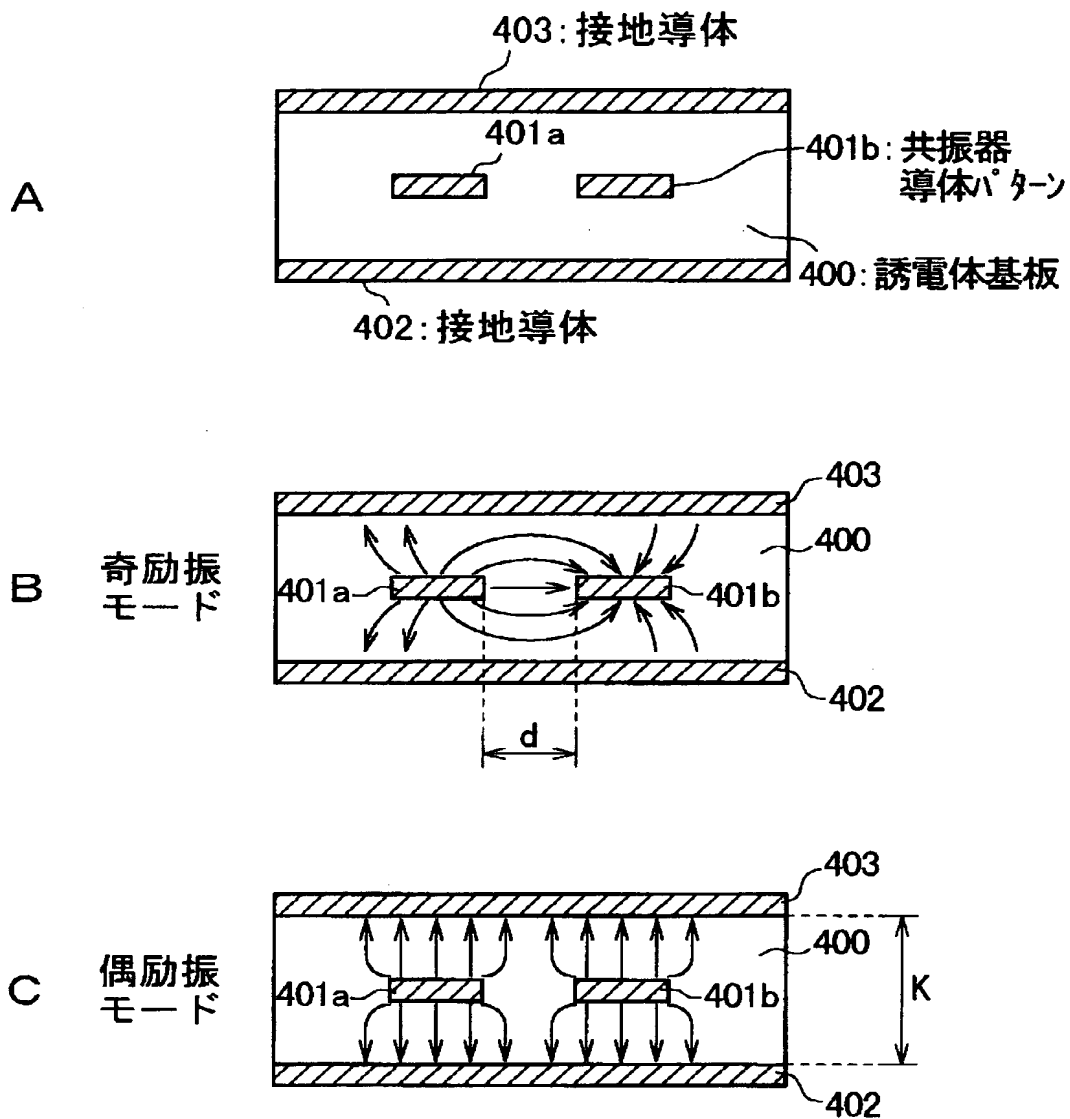
【図 1 9】

従来のトリプレート構造の帯域フィルタ



【図 2 0】

奇励振モードと偶励振モードの動作



【書類名】 要約書

【要約】

【課題】 小型化・薄型化を図りながらコストアップを招くことなく所望の周波数特性の回路素子を得る。

【解決手段】 誘電体基板 1 1 の内層に回路素子の動作を設定する導体パターンを形成し、誘電体基板 1 1 の外層には接地導体 1 2 を形成する。接地導体 1 2 を例えば格子状のパターンとして接地導体のない領域 1 5 に導電性部材を設ける。ここで、導電性部材を設ける領域 1 5 の位置や数を可変することで、接地導体 1 2 の面積や位置を変更できる。接地導体 1 2 の面積や位置を変更することにより電磁界分布が変わり周波数特性を所望の特性となるように調整できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社